

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

Patent Number: JP11214645

Publication date: 1999-08-06

Inventor(s): KURODA HIDEAKI

Applicant(s): SONY CORP

Requested Patent: JP11214645

Application Number: JP19980014421 19980127

Priority Number(s):

IPC Classification: H01L27/108; H01L21/8242

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make voids hard to be formed in an upper insulation film if the upper insulation film, etc., are formed on an upper layer, by making a memory node electrode in a shape expanded like a forward taper.

SOLUTION: The semiconductor memory is such that a memory node electrode MN has a shape expanded like a forward taper between memory cells, and if a capacitor insulation film 27 or plate electrode 36 is formed on its upper layer, the spacing between the memory node electrodes MN is not made narrow, no void is formed in an upper insulation film 28 formed on its upper layer and hence the semiconductor memory can be stably manufactured. The structure that the memory node electrode MN has a shape expanded like a forward taper between the memory cells enables the great increase of the surface area of the memory node electrode MN and increase of the memory capacity.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214645

(43) 公開日 平成11年(1999)8月6日

(51) Int.Cl.⁶

H 01 L 27/108
21/8242

識別記号

F I

H 01 L 27/10 6 2 1 C

審査請求 未請求 請求項の数 8 OL (全 12 頁)

(21) 出願番号 特願平10-14421

(22) 出願日 平成10年(1998)1月27日

(71) 出願人 000002185

ソニーリテクノロジーズ

東京都品川区北品川6丁目7番35号

(72) 発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニーリテクノロジーズ

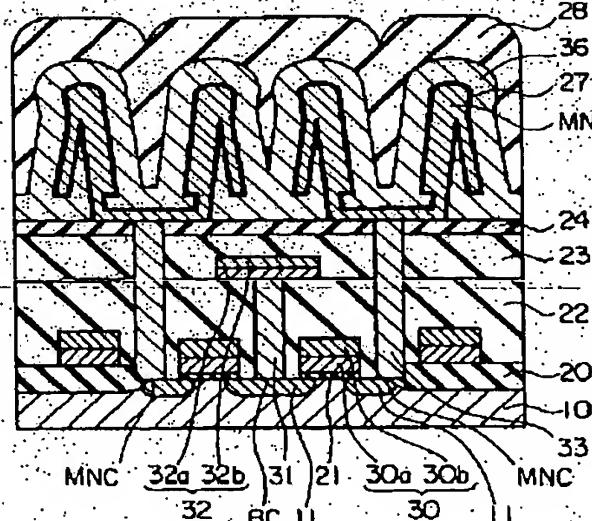
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】メモリキャパシタ(記憶ノード電極)を有する半導体記憶装置において、キャパシタの上層に絶縁膜を積層させてもボイドを生じにくく、また、蓄積容量を増加させることができる半導体記憶装置及びその製造方法を提供する。

【解決手段】記憶ノード電極MNを持つメモリキャパシタを有するメモリセルが複数個配置された半導体記憶装置であって、記憶ノード電極MNが少なくともメモリセル間において順テーパ状に広がった形状を有する構成とする。



【特許請求の範囲】

【請求項1】記憶ノード電極を持つメモリキャパシタを有するメモリセルが複数個配置された半導体記憶装置であって、前記記憶ノード電極が少なくとも前記メモリセル間において順テープ状に広がった形状を有する半導体記憶装置。

【請求項2】前記記憶ノード電極がシリンド型である請求項1記載の半導体記憶装置。

【請求項3】前記記憶ノード電極が、基板側ほど狭まる順テープ状の第1記憶ノード電極と、前記第1記憶ノード電極に接続して形成された前記メモリセル間において順テープ状の形状を有する第2記憶ノード電極とを有する請求項1記載の半導体記憶装置。

【請求項4】前記第1記憶ノード電極および前記第2記憶ノード電極がともにシリンド型である請求項3記載の半導体記憶装置。

【請求項5】記憶ノード電極を持つメモリキャパシタを有するメモリセルが複数個配置された半導体記憶装置の製造方法であって、

基板に第1記憶ノード形成用層を形成する工程と、前記第1記憶ノード形成用層に第1記憶ノード電極の型となる第1開口部を形成する工程と、少なくとも前記第1開口部の内壁を被覆する第1記憶ノード電極を形成する工程と、第2記憶ノード電極の型となり、各メモリセル間において基板側ほど狭まる順テープ状の第2開口部を前記第1記憶ノード形成用層に形成する工程と、少なくとも前記第2開口部の内壁を被覆する第2記憶ノード電極を前記第1記憶ノード電極に接続させて形成する工程とを有する半導体記憶装置の製造方法。

【請求項6】前記第1記憶ノード電極および前記第2記憶ノード電極とともにシリンド型に形成する請求項5記載の半導体記憶装置の製造方法。

【請求項7】前記第1記憶ノード電極を形成する工程が、前記第1開口部の内壁を被覆して全面に第1記憶ノード電極用層を形成する工程と、前記第1記憶ノード電極用層の上層に前記第1開口部を埋め込んで全面に第2記憶ノード形成用層を形成する工程と、前記第1記憶ノード電極用層を個々の第1記憶ノード電極に分割するよう上方から前記第2記憶ノード形成用層および前記第1記憶ノード電極用層を除去する工程とを含む請求項5記載の半導体記憶装置の製造方法。

【請求項8】前記第2開口部を形成する工程においては、前記第1記憶ノード形成用層の膜厚よりも浅く前記第2開口部を形成し、前記第2記憶ノード電極を形成する工程が、前記第2開口部の内壁を被覆して全面に第2記憶ノード電極用層を形成する工程と、前記第2開口部底面部分の前記第2記憶ノード電極用層を除去して個々の第2記憶ノード電極

に分割する工程とを含む請求項5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置及びその製造方法に関し、特に、DRAMなど、記憶ノード電極を有する半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年のVLSI等の半導体装置においては、3年で7割の縮小化を実現し、高集積化及び高性能化を達成してきた。例えば、DRAM (Dynamic Random Access Memory) は、スイッチング用のメタル-酸化物-半導体積層体を有する電界効果型トランジスタ (MOSFET) とメモリキャパシタとを有するメモリセル構造を持っており、半導体デバイスにおけるプロセスドライバーとして、学会レベルにおいては1Gbの記憶容量を持つDRAMの発表も行われているなど、近年ますます微細化、縮小化され、大容量化、高集積化が進められている。その微細化に伴いメモリセル面積は縮小され、メモリキャパシタの占有面積も縮小化している。

【0003】しかしながら、動作マージンを確保し、アルファーラインによるソフトエラー耐性を確保して記憶したデータの信頼性を高めるために、メモリキャパシタの蓄積容量CsはDRAMの世代にかかわらず1ビットあたり20~30fFと一定値に保たれている。

【0004】従って、メモリキャパシタは微細化するに従いその占有面積を縮小化しているにもかかわらず、その蓄積容量Csは必要量確保する必要があり、そのための様々な工夫がなされてきた。

【0005】例えば、キャパシタ絶縁膜の膜厚を薄くすることにより蓄積容量を増加させる方法の他、キャパシタ絶縁膜として窒化シリコンを酸化シリコンで挟んだ複合膜であるONO膜に代わって、比誘電率の高いTa₂O₅や、BST、STOなどを用い、キャパシタ絶縁膜の構成材料を改良することによりキャパシタの蓄積容量を増加させるなどの方法が開発されている。

【0006】一方で、キャパシタの電極構造も工夫が加えられており、様々な構造を有するものが開発されている。メモリ・キャパシタは記憶ノード電極（キャパシタのトランジスタに接続している電極）とプレート電極（キャパシタの接地している電極）とその間のキャパシタ絶縁膜とを有しており、記憶ノード電極とプレート電極の表面積を増加することによりキャパシタの蓄積容量を増加させることができる。

【0007】従来は平面的な構造を持つプレーナ型が使用されていたが、現在では記憶ノード電極を立体化して複雑な形状とし、記憶ノード電極の側壁面などを利用し、キャパシタの占有面積は増加させずに記憶ノード電極の表面積を増加させて蓄積容量を増加させることができる。

般的となっている。立体化した記憶ノード電極として、例えば、スタック型及びトレンチ型などがある。トレンチ型は基板に対して深さ方向に記憶ノード電極を形成したもので、基板を掘ることによる弊害を検討する必要がある。一方スタック型はCOB (capacitor over bitline) とCUB (capacitor under bitline) という2タイプに分類でき、中でもCOBのスタック型の場合、ビット線よりも後にキャパシタ (記憶ノード電極) を形成するため、セル領域上に微細加工で決まる最大のキャパシタ (記憶ノード電極) を形成することができる利点がある。

【0008】上記のようなCOBのスタック型には、ペデスタルスタック (Pedestal Stack) 型、フィン (Fin) 型、シリング (Cylinder) 型 (クラウン (Crown) 型) などの様々なタイプが開発されている。シリング型には、円筒部分が1重構造のタイプのほか2重構造のタイプも開発されている。また、同じく表面積を増やす目的で記憶ノード電極表面を粗面化する方法や、ポリシリコン電極の形成温度を制御して表面に半円球の凹凸を設ける方法も開発されている。なかでも、シリング型記憶ノード電極は電極の周囲長を有効に表面積として使用できるため、その占有面積の縮小化の中においても、蓄積容量を確保しやすく、半導体記憶装置の微細化、高集積化及び縮小化に最も適した電極構造の一つである。

【0009】上記の従来方法によるシングルシリング型の記憶ノード電極を有する半導体記憶装置の製造方法について図7～10を参照して説明する。

【0010】まず、図7 (a) に至るまでの工程について説明する。半導体基板10に例えばLOCOS法により素子分離絶縁膜20を形成し、活性領域において例えば熱酸化法により酸化シリコンからなるゲート絶縁膜21を形成し、その上層に例えばCVD (Chemical Vapor Deposition) 法により導電性不純物を含有するポリシリコン層30aとタンクステンシリサイド30bの積層体を形成して、ゲート電極パターンに加工し、ポリサイド構造のゲート電極30を形成する。次に、ゲート電極30をマスクにしてイオン注入を行い、ソース・ドレイン拡散層11を形成し、トランジスタを形成する。

【0011】次に、図7 (b) に示すように、例えばCVD法により酸化シリコンを堆積させ、リフロー、エッチバックあるいはCMP (Chemical Mechanical Polishing) 法などにより平坦化して、第1層間絶縁膜22を形成する。次に、フォトリソグラフィー工程によりビットコンタクトの開口パターンのレジスト膜を形成し、例えばRIE (反応性イオンエッチング) などのエッチングを施して、トランジスタのソース・ドレイン拡散層11に達するビットコンタクトBCを第1層間絶縁膜22に開口する。次に、例えば導電性不純物を含有するポリシリコンでビットコンタクトBC内を埋め込むように堆積させ、エッチバックなどによりビットコンタクトBC

の外部のポリシリコンを除去してビットコンタクトプラグ31を形成する。次に、例えばCVD法により導電性不純物を含有するポリシリコン層32aとタンクステンシリサイド32bの積層体を形成して、ビット線パターンに加工して、ポリサイド構造のビット線32を形成する。

【0012】次に、図7 (c) に示すように、例えばCVD法により酸化シリコンを堆積させ、リフローなどにより平坦化して、第2層間絶縁膜23を形成し、その上層に例えばCVD法により窒化シリコンを堆積させ、第3層間絶縁膜 (エッチングストップ) 24を形成する。次に、フォトリソグラフィー工程により記憶ノードコンタクトの開口パターンのレジスト膜を形成し、例えばRIEなどのエッチングを施して、トランジスタのソース・ドレイン拡散層11に達する記憶ノードコンタクトMNCを第1～第3層間絶縁膜22～24に開口する。次に、例えば導電性不純物を含有するポリシリコンで記憶ノードコンタクトMNCを埋め込むように堆積させ、エッチバックなどにより記憶ノードコンタクトMNCの外部のポリシリコンを除去して記憶ノードコンタクトプラグ33を形成する。

【0013】次に、図8 (d) に示すように、例えばCVD法により酸化シリコンを数100nm～1μm程度の膜厚で堆積させ、第1記憶ノード形成用層25を形成する。

【0014】次に、図8 (e) に示すように、フォトリソグラフィー工程により記憶ノード電極パターンのレジスト膜を形成し、例えばRIEなどのエッチングを施すことにより、記憶ノード電極の型となる開口部Hを有する第1記憶ノード形成用層25aに加工する。以下の工程においては、上記の記憶ノード電極の型となる開口部Hの内壁に電極を形成して記憶ノード電極とする、いわゆるネガ型のシリング型記憶ノード電極の形成方法を示している。記憶ノード電極の型となる開口部Hの形成においては、開口部H内に記憶ノードコンタクトプラグ33が露出するようにして形成する。

【0015】次に、図9 (f) に示すように、例えばCVD法により記憶ノード電極の型となる開口部Hの側壁を被覆して全面に導電性不純物を含有するポリシリコンを数10nmの膜厚で堆積させ、記憶ノードコンタクトプラグ33と接続する記憶ノード電極用層34を形成する。次に、例えばCVD法により記憶ノード電極用層34の上層に、記憶ノード電極の型となる開口部Hを埋め込んで酸化シリコンを数100nmの膜厚で堆積させ、第2記憶ノード形成用層26を形成する。

【0016】次に、図9 (g) に示すように、例えば上方から第2記憶ノード形成用層26と記憶ノード電極用層34を順次エッチバックする、あるいはCMP法により上方から研磨することにより、個々に分割された記憶ノード電極34a (MN) および第2記憶ノード形成用

層26aとする。

【0017】次に、図10(h)に示すように、フッ酸系のウェットエッチングを施して、第1記憶ノード形成用層25aおよび第2記憶ノード形成用層26aを除去する。このとき、第3層間絶縁膜24はエッチングストップとして機能する。

【0018】次に、図10(i)に示すように、例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層体)を積層させてキャパシタ絶縁膜27を形成し、次に例えばCVD法により不純物を含有するポリシリコンを100~数100nmの膜厚で堆積させてプレート電極36を形成し、キャパシタを完成させる。以下の工程としては、キャパシタなどの被覆して全面に上層絶縁膜を形成し、必要に応じて上層配線を形成するなどして、所望の半導体記憶装置を製造することができる。

【0019】上記のシングルシリングダ型の記憶ノード電極を有するキャパシタよりも蓄積容量に寄与する表面積を増加させてキャパシタの占有面積を縮小できるダブルシリングダ型の記憶ノード電極を有するキャパシタが開発されている。以下にダブルシリングダ型の記憶ノード電極を有する半導体装置の製造方法について図11, 12を参照して説明する。

【0020】第2記憶ノード形成用層26を形成するまでの工程は、上記のシングルシリングダ型の記憶ノード電極を有する半導体装置の製造方法において、図9(f)に示す装置までの製造工程と同様にして形成する。第2記憶ノード形成用層26を形成した後、例えばRIEなどのエッチングにより、記憶ノード電極の型となる開口部H内における記憶ノード電極用層34の側壁部分を残して第2記憶ノード形成用層26を除去することでサイドウォール26cを形成し、図11(a)に示す装置とする。

【0021】次に、図11(b)に示すように、例えばCVD法により不純物を含有するポリシリコンを数10nmの膜厚で堆積させ、第2記憶ノード電極用層35を形成する。次に、例えばCVD法により第2記憶ノード電極用層35の上層に全面に酸化シリコンを数100nmの膜厚で堆積させ、第3記憶ノード形成用層29を形成する。

【0022】次に、図12(c)に示すように、例えば上方から第3記憶ノード形成用層29、第2記憶ノード電極用層35および第1記憶ノード電極用層34を順次エッチバックする、あるいはCMP法により上方から研磨することで、個々に分割された第1記憶ノード電極34aおよび第2記憶ノード電極35aからなる記憶ノード電極MNとする。次に、フッ酸系のウェットエッチングにより記憶ノード電極MN間などに残された第3記憶ノード形成用層29、サイドウォール26cおよび第1記憶ノード形成用層25aを除去する。このとき、第3層間絶縁膜24はエッチングストップとして機能する。

【0023】次に、図12(d)に示すように、例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層体)を積層させてキャパシタ絶縁膜27を形成し、次に例えばCVD法により導電性不純物を含有するポリシリコンを100~数100nmの膜厚で堆積させてプレート電極36を形成し、キャパシタを完成させる。以下の工程としては、キャパシタなどの被覆して全面に上層絶縁膜を形成し、必要に応じて上層配線を形成するなどして、所望の半導体記憶装置を製造することができる。

【0024】

【発明が解決しようとする課題】しかしながら、上記の従来のシングルシリングダ型の記憶ノード電極MNは上方ほど広がっている順テーパ形状を有しており、各記憶ノード電極MN間の形状は上方ほど狭くなる逆テーパ形状となる。従って、記憶ノード電極MNの上層にキャパシタ絶縁膜27およびプレート電極36を形成したときにも各キャパシタ間が逆テーパ形状となる。この後の工程で、図13(a)に示すように、例えばCVD法により全面に酸化シリコンを数100nmの膜厚で堆積させ、上層絶縁膜28を形成したときに、逆テーパ形状である各キャパシタ間が完全に酸化シリコンで埋め込まれず、ボイドVが発生することがある。ボイドVが形成されると、後工程で高温の熱処理(800~1000°C)を行う際にボイドV内に閉じ込められたガスが爆発する危険がある。

【0025】また、ダブルシリングダ型の記憶ノード電極の場合も事態は同様であり、図13(b)に示すように、例えばCVD法により全面に酸化シリコンを数100nmの膜厚で堆積させ、上層絶縁膜28を形成したときに、逆テーパ形状である各キャパシタ間が完全に酸化シリコンで埋め込まれず、ボイドVが発生することがある。また、シリングダを2重構造として記憶ノード電極の表面積を増加させているものの、2枚目のシリングダを1枚目のシリングダの内側に形成するため、シングルシリングダ型の場合よりも工程数が大幅に増加している割りには記憶ノード電極の表面積の増加分が小さく、蓄積容量Csの大きな増加が得られないという欠点がある。

【0026】本発明は、上記の問題を鑑みなされたもので、従って、メモリキャパシタを有する半導体記憶装置の記憶ノード電極において、その上層にキャパシタ絶縁膜、プレート電極及び上層絶縁膜などを積層させてもボイドを生じにくい構造を有して安定に製造することができ、また、記憶ノード電極の表面積を増加させて蓄積容量を増加させることができる半導体記憶装置及びその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体記憶装置は、記憶ノード電極を持つメモリキャパシタを有するメモリセルが複数個配置された半導体記憶装置であって、前記記憶ノード電極が少な

くとも前記メモリセル間において順テープ状に広がった形状を有する。

【0028】上記の本発明の半導体記憶装置によれば、記憶ノード電極が少なくともメモリセル間において順テープ状に広がった形状を有していることから、その上層にキャパシタ絶縁膜やプレート電極を形成しても記憶ノード電極間の間口が狭くならないで済む。これにより、その上層に上層絶縁膜などを形成しても上層絶縁膜中にポイドが発生しがたい構造である。従って半導体記憶装置を安定に製造することが可能である。また、記憶ノード電極が少なくともメモリセル間において順テープ状に広がった形状部分を有する構造は、記憶ノード電極の表面積を大幅に増加させることができ、蓄積容量を増加させることができる。

【0029】上記の本発明の半導体記憶装置は、好適には、前記記憶ノード電極がシリング型である。シリング型は電極の周囲長を有効に表面積として使用できるため、占有面積を縮小化しても蓄積容量を確保しやすく、微細化、高集積化及び縮小化に適している。

【0030】上記の本発明の半導体記憶装置は、好適には、前記記憶ノード電極が、基板側ほど狭まる順テープ状の第1記憶ノード電極と、前記第1記憶ノード電極に接続して形成された前記メモリセル間において順テープ状の形状を有する第2記憶ノード電極とを有する。記憶ノード電極を構成する第1および第2記憶ノード電極がともに順テープ状であり、その上層にキャパシタ絶縁膜やプレート電極を形成しても記憶ノード間の間口が狭くならないで済む。これにより、その上層に上層絶縁膜などを形成しても上層絶縁膜中にポイドが発生しがたい構造である。

【0031】上記の本発明の半導体記憶装置は、好適には、前記第1記憶ノード電極および前記第2記憶ノード電極がともにシリング型である。シリング型は電極の周囲長を有効に表面積として使用できるため、占有面積を縮小化しても蓄積容量を確保しやすく、微細化、高集積化及び縮小化に適している。

【0032】また、上記の目的を達成するため、本発明の半導体記憶装置の製造方法は、記憶ノード電極を持つメモリキャパシタを有するメモリセルが複数個配置された半導体記憶装置の製造方法であって、基板に第1記憶ノード形成用層を形成する工程と、前記第1記憶ノード形成用層に第1記憶ノード電極の型となる第1開口部を形成する工程と、少なくとも前記第1開口部の内壁を被覆する第1記憶ノード電極を形成する工程と、第2記憶ノード電極の型となり、各メモリセル間において基板側ほど狭まる順テープ状の第2開口部を前記第1記憶ノード形成用層に形成する工程と、少なくとも前記第2開口部の内壁を被覆する第2記憶ノード電極を前記第1記憶ノード電極に接続させて形成する工程とを有する。

【0033】上記の本発明の半導体記憶装置の製造方法

は、基板に第1記憶ノード形成用層を形成し、第1記憶ノード形成用層に第1記憶ノード電極の型となる第1開口部を形成し、少なくとも第1開口部の内壁を被覆する第1記憶ノード電極を形成する。次に、第2記憶ノード電極の型となり、各メモリセル間において基板側ほど狭まる順テープ状の第2開口部を第1記憶ノード形成用層に形成し、少なくとも第2開口部の内壁を被覆する第2記憶ノード電極を第1記憶ノード電極に接続させて形成する。

【0034】上記の本発明の半導体記憶装置の製造方法によれば、各メモリセル間において第1記憶ノード形成用層に形成された基板側ほど狭まる順テープ状の第2開口部を型として第2記憶ノード電極を形成することで、第1記憶ノード電極に接続する第2記憶ノード電極をメモリセル間において順テープ状に広がった形状となるよう形成することができる。これにより、記憶ノード電極の上層にキャパシタ絶縁膜やプレート電極を形成しても記憶ノード電極間の間口が狭くならないで済み、その上層に上層絶縁膜などを形成しても上層絶縁膜中にポイドが発生しがたく、半導体記憶装置を安定に製造することが可能である。また、記憶ノード電極がメモリセル間において順テープ状に広がった形状部分を有する構造は、記憶ノード電極の表面積を大幅に増加させることができ、蓄積容量を増加させることができる。

【0035】上記の本発明の半導体記憶装置の製造方法は、好適には、前記第1記憶ノード電極および前記第2記憶ノード電極をともにシリング型に形成する。シリング型は電極の周囲長を有効に表面積として使用できるため、占有面積を縮小化しても蓄積容量を確保しやすく、微細化、高集積化及び縮小化に適している。

【0036】上記の本発明の半導体記憶装置の製造方法は、好適には、前記第1記憶ノード電極を形成する工程が、前記第1開口部の内壁を被覆して全面に第1記憶ノード電極用層を形成する工程と、前記第1記憶ノード電極用層の上層に前記第1開口部を埋め込んで全面に第2記憶ノード形成用層を形成する工程と、前記第1記憶ノード電極用層を個々の第1記憶ノード電極に分割するよう上方から前記第2記憶ノード形成用層および前記第1記憶ノード電極用層を除去する工程とを含む。これにより、個々に分割された第1記憶ノード電極を容易に形成することができる。

【0037】上記の本発明の半導体記憶装置の製造方法は、好適には、前記第2開口部を形成する工程においては、前記第1記憶ノード形成用層の膜厚よりも浅く前記第2開口部を形成し、前記第2記憶ノード電極を形成する工程が、前記第2開口部の内壁を被覆して全面に第2記憶ノード電極用層を形成する工程と、前記第2開口部底面部分の前記第2記憶ノード電極用層を除去して個々の第2記憶ノード電極に分割する工程とを含む。これにより、個々に分割された第2記憶ノード電極を容易に形

成することができる。第2開口部を第1記憶ノード形成用層の膜厚よりも浅く形成することで、第2記憶ノード電極の裏面側(基板側)の表面も蓄積容量に寄与する表面と/orするように形成することができる。

【0038】

【発明の実施の形態】以下に、本発明の半導体記憶装置及びその製造方法の実施の形態について図面を参考して説明する。

【0039】まず、本発明の半導体記憶装置について説明する。図1に示すように、半導体基板10上の素子分離絶縁膜20に区切られた活性領域上に薄膜の酸化シリコンであるゲート絶縁膜21、ポリシリコン層30aとタンクステンシリサイド30bの積層体であるポリサイド構造のゲート電極30及びソース・ドレイン拡散層11などからなるトランジスタなどがあり、その上層に例えば酸化シリコンからなる第1層間絶縁膜22が形成されている。層間絶縁膜21にはソース・ドレイン拡散層11に達するビット контакトBCが開口されており、例えば導電性不純物を含有するポリシリコンからなるビット контакトプラグ31が埋め込まれており、ポリシリコン層32aとタンクステンシリサイド32bの積層体であるポリサイド構造のビット線32に接続している。ビット線32を被覆して例えば酸化シリコンからなる第2層間絶縁膜23と、例えば塗化シリコンからなる第3層間絶縁膜24が形成されており、ソース・ドレイン拡散層11に達する記憶ノード контакトMNCが開口されており、例えば導電性不純物を含有するポリシリコンからなる記憶ノード контакトプラグ33が埋め込まれている。

【0040】さらに、記憶ノード контакトプラグ33の上方には、例えば導電性不純物を含有するポリシリコンからなる記憶ノード電極MNが形成されている。記憶ノード電極MNの表面を被覆して、例えばONO膜(酸化膜-塗化膜-酸化膜の積層体)からなるキャバシタ絶縁膜27が形成されており、その上層には例えば導電性不純物を含有するポリシリコンからなるプレート電極36が形成されており、記憶ノード電極MN、キャバシタ絶縁膜27、及びプレート電極36からなるキャバシタが形成されている。キャバシタの上層には、例えば酸化シリコンからなる上層絶縁膜28が形成されている。

【0041】かかる半導体記憶装置は、記憶ノード電極MNがメモリセル間において順テーパ状に広がった形状を有していることから、その上層にキャバシタ絶縁膜27やプレート電極36を形成しても記憶ノード電極間の間口が狭くならず、その上層に形成された上層絶縁膜28中にボイドが形成されていない。従って半導体記憶装置を安定に製造することが可能である。また、記憶ノード電極MNがメモリセル間において順テーパ状に広がった形状部分を有する構造は、記憶ノード電極MNの表面積を大幅に増加させることができ、蓄積容量を増

加させることができる。

【0042】次に、本発明の半導体記憶装置の製造方法について、図2～図6の断面図を参照して説明する。

【0043】まず、図2(a)に至るまでの工程について説明する。半導体基板10に例えばLOCOS法により素子分離絶縁膜20を形成し、活性領域において例えば熱酸化法により酸化シリコンからなるゲート絶縁膜21を形成し、その上層に例えばCVD(Chemical Vapor Deposition)法により導電性不純物を含有するポリシリコン層30aとタンクステンシリサイド30bの積層体を形成して、ゲート電極バターンに加工し、ポリサイド構造のゲート電極30を形成する。次に、ゲート電極30をマスクにしてイオン注入を行い、ソース・ドレイン拡散層11を形成し、トランジスタを形成する。

【0044】次に、図2(b)に示すように、例えばCVD法により酸化シリコンを堆積させ、リフロー、エッチバックあるいはCMP(Chemical Mechanical Polishing)法などにより平坦化して、第1層間絶縁膜22を形成する。次に、フォトリソグラフィー工程によりビット контакトの開口バターンのレジスト膜を形成し、例えばRIE(反応性イオンエッチング)などのエッチングを施して、トランジスタのソース・ドレイン拡散層11に達するビット контакトBCを第1層間絶縁膜22に開口する。次に、例えば導電性不純物を含有するポリシリコンでビット контакトBC内を埋め込むように堆積させ、エッチバックなどによりビット контакトBCの外部のポリシリコンを除去してビット контакトプラグ31を形成する。次に、例えばCVD法により導電性不純物を含有するポリシリコン層32aとタンクステンシリサイド32bの積層体を形成して、ビット線バターンに加工して、ポリサイド構造のビット線32を形成する。

【0045】次に、図2(c)に示すように、例えばCVD法により酸化シリコンを堆積させ、リフローなどにより平坦化して、第2層間絶縁膜23を形成し、その上層に例えばCVD法により塗化シリコンを堆積させ、第3層間絶縁膜(エッチングストップ)24を形成する。次に、フォトリソグラフィー工程により記憶ノード контакトの開口バターンのレジスト膜を形成し、例えばRIEなどのエッチングを施して、トランジスタのソース・ドレイン拡散層11に達する記憶ノード контакトMNCを第1～第3層間絶縁膜22～24に開口する。次に、例えば導電性不純物を含有するポリシリコンで記憶ノード контакトMNCを埋め込むように堆積させ、エッチバックなどにより記憶ノード контакトMNCの外部のポリシリコンを除去して記憶ノード контакトプラグ33を形成する。

【0046】次に、図3(d)に示すように、例えばCVD法により酸化シリコンを数100nm～1μm程度の膜厚で堆積させ、第1記憶ノード形成用層25を形成

する。

【0047】次に、図3(e)に示すように、フォトリソグラフィー工程により第1記憶ノード電極パターンのレジスト膜を形成し、例えばRIEなどのエッチングを施すことにより、第1記憶ノード電極の型となる基板側ほど狭まる順テープ状の第1開口部H1を有する第1記憶ノード形成用層25aに加工する。第1開口部H1の形成においては、第1開口部H1内に記憶ノードコンタクトプラグ33が露出するようにして形成する。

【0048】次に、図4(f)に示すように、例えば、CVD法により第1開口部H1の側壁を被覆して全面に導電性不純物を含有するポリシリコンを数1.0nmの膜厚で堆積させ、記憶ノードコンタクトプラグ33と接続する第1記憶ノード電極用層34を形成する。次に、例えばCVD法により第1記憶ノード電極用層34の上層に、第1開口部H1を埋め込んで全面に酸化シリコンを数100nmの膜厚で堆積させ、第2記憶ノード形成用層26を形成する。

【0049】次に、図4(g)に示すように、例えば上方から第2記憶ノード形成用層26と第1記憶ノード電極用層34を順次エッチバックする、あるいはCMP法により上方から研磨することにより、個々に分割された第1記憶ノード電極34aおよび第2記憶ノード形成用層26aとする。

【0050】次に、図5(h)に示すように、順テープ状に傾斜して形成されている第1記憶ノード電極34aをマスクとして、例えば(エッチャントガス種類および流量: Ar/C₄F₈/CO=200/10/60sccm、圧力: 5Pa、RFパワー: 1600W)という堆積性(Deposition性)の強いエッチング条件で異方性エッチングを行い、各第1記憶ノード電極34a間の第1記憶ノード形成用層25aを第2記憶ノード電極の型となる基板ほど狭まる順テープ状の第2開口部H2を有する第1記憶ノード形成用層25bに加工する。第2開口部H2の形成においては、第3層間絶縁膜24が露出しないようにエッチング時間などの条件を調節して形成する。このエッチングにおいて、第2記憶ノード形成用層26bも第1記憶ノード形成用層25bと同様の深さまでエッチングされる。

【0051】次に、図5(i)に示すように、例えば酸素を含むガスをエッチャントガスとするプラズマエッチングにより上記のエッチング工程において堆積された堆積膜を除去し、希フッ酸系のウェットエッチングを行った後、例えばCVD法により第2開口部H2内を被覆して全面に導電性不純物を含有するポリシリコンを数1.0nmの膜厚で堆積させ、第2記憶ノード電極用層35を形成する。基板側ほど狭まった第2開口部を型として形成したので、第1記憶ノード電極用層34aの外側部分において、第2記憶ノード電極用層35は順テープ状に広がった形状とすることができる。

【0052】次に、図6(j)に示すように、例えばRIEなどの異方性エッチングを施して、第2開口部H2の底部部分の第2記憶ノード電極用層35を除去し、個々に分割された内側第2記憶ノード電極35aおよび外側第2記憶ノード電極35bとする。内側第2記憶ノード電極35aおよび外側第2記憶ノード電極35bはそれぞれ第1記憶ノード電極34aに接続しており、記憶ノード電極MNを構成する。このエッチングにおいて、第2記憶ノード形成用層26bの上層部分に形成された第2記憶ノード電極用層35も除去される。

【0053】次に、図6(k)に示すように、例えばフッ酸系のウェットエッチングを施して、第1記憶ノード形成用層25bおよび第2記憶ノード形成用層26bを除去する。このとき、第3層間絶縁膜24はエッチングストップとして機能する。次に、例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層体)を積層させるなど、誘電体膜であるキャバシタ絶縁膜27を形成し、次に例えばCVD法により不純物を含有するポリシリコンを1.00~数1.00nmの膜厚で堆積させてプレート電極36を形成し、キャバシタを完成させる。

【0054】次に、例えばCVD法により全面に酸化シリコンを数1.00nmの膜厚で堆積させ、上層絶縁膜28を形成して、図1に示す半導体記憶装置に至る。以下の工程としては、必要に応じて上層配線を形成するなどして、所望の半導体記憶装置を製造することができる。

【0055】本実施形態の半導体記憶装置の製造方法によれば、第1記憶ノード電極34a間の第1記憶ノード形成用層25bに形成された基板側ほど狭まる順テープ状の第2開口部H2を型として形成することにより、第1記憶ノード電極34aに接続する外側第2記憶ノード電極35bをメモリセル間において順テープ状に広がった形状となるように形成することができる。これにより、記憶ノード電極の上層にキャバシタ絶縁膜27やプレート電極36を形成しても記憶ノード電極間の間口が狭くならないで済み、その上層に上層絶縁膜などを形成しても上層絶縁膜中にボイドが発生しがたく、半導体記憶装置を安定に製造することができる。また、従来のダブルシリング型の記憶ノードは、シングルシリング型の製造方法に4工程も追加しているのに蓄積容量の大幅な増加は得られないのに対し、本実施形態の記憶ノードはシングルシリング型の製造方法に比べて第1記憶ノード形成用層へ第2開口部を形成するエッチング工程、第2記憶ノード電極用層のCVD工程、第2電極用層のエッチング工程の3工程を追加するだけで、外側第2記憶ノード電極35bをメモリセル間において順テープ状に広がった形状となるように形成でき、記憶ノード電極の表面積、即ち蓄積容量をシングルシリング型の2倍程度と大幅に増加させることができる。

【0056】本発明の半導体記憶装置及びその製造方法は、メモリキャバシタを有するDRAMやVRAMなど、キャバシタ(記憶ノード)を有する半導体記憶装置

であれば適用可能である。

【0057】本発明の半導体装置及びその製造方法は、上記の実施の形態に限定されない。例えば、記憶ノード電極としてはポリシリコン以外にもアモルファスシリコンなどの導電体により形成してもよい。また、記憶ノードコンタクト電極を形成するための記憶ノードコントラクトホールは、レジストをバターニングして絶縁膜の途中まで開口し、開口部の側壁に開口径を狭める層を形成して、フォトリソグラフィーの解像度以上に微細な径のコントラクトホールとしてもよい。また、トランジスタ部分の構造および製造方法などは特に限定されず、ポリサイドなどのゲート電極、LD構造のソース・ドレイン拡散層など、様々な構造をとることが可能である。さらに、ロジックLSIやその他の半導体素子あるいは装置との混載も可能である。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0058】

【発明の効果】本発明の半導体記憶装置によれば、記憶ノード電極が少なくともメモリセル間において順テープ状に広がった形状を有していることから、その上層にキャバシタ絶縁膜やプレート電極を形成しても記憶ノード電極間の間口が狭くならないで済む。これにより、その上層に上層絶縁膜などを形成しても上層絶縁膜中にポイドが発生しがたい構造である。従って半導体記憶装置を安定に製造することが可能である。また、記憶ノード電極が少なくともメモリセル間において順テープ状に広がった形状部分を有する構造は、記憶ノード電極の表面積を大幅に増加させることができ、蓄積容量を増加させることができる。

【0059】また、本発明の半導体記憶装置の製造方法によれば、本発明の半導体記憶装置を容易に製造することが可能である。各メモリセル間において第1記憶ノード形成用層に形成された基板側ほど狭まる順テープ状の第2開口部を型として第2記憶ノード電極を形成することで、第1記憶ノード電極に接続する第2記憶ノード電極をメモリセル間において順テープ状に広がった形状となるように形成することができる。これにより、記憶ノード電極の上層にキャバシタ絶縁膜やプレート電極を形成しても記憶ノード電極間の間口が狭くならないで済み、その上層に上層絶縁膜などを形成しても上層絶縁膜中にポイドが発生しがたく、半導体記憶装置を安定に製造することが可能である。また、記憶ノード電極がメモリセル間において順テープ状に広がった形状部分を有する構造は、記憶ノード電極の表面積を大幅に増加させることができ、蓄積容量を増加させることができる。

【図面の簡単な説明】

【図1】図1は本発明の半導体記憶装置の断面図である。

【図2】図2は本発明の半導体記憶装置の製造方法の製

造工程を示す断面図であり、(a)はソース・ドレイン拡散層の形成工程まで、(b)はビット線の形成工程まで、(c)はビットコンタクトプラグの形成工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(d)は第1記憶ノード形成用層の形成工程まで、(e)は第1開口部の形成工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(f)は第2記憶ノード形成用層の形成工程まで、(g)は個々の第1記憶ノード電極に分離する工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、(h)は第2開口部の形成工程まで、(i)は第2記憶ノード電極用層の形成工程までを示す。

【図6】図6は図5の続きの工程を示す断面図であり、(j)は個々の第2記憶ノード電極に分離する工程まで、(k)はプレート電極の形成工程までを示す。

【図7】図7は第1従来例の半導体記憶装置の製造方法の製造工程を示す断面図であり、(a)はソース・ドレイン拡散層の形成工程まで、(b)はビット線の形成工程まで、(c)はビットコンタクトプラグの形成工程までを示す。

【図8】図8は図7の続きの工程を示す断面図であり、(d)は記憶ノード形成用層の形成工程まで、(e)は開口部の形成工程までを示す。

【図9】図9は図8の続きの工程を示す断面図であり、(f)は第2記憶ノード形成用層の形成工程まで、(g)は個々の記憶ノード電極に分離する工程までを示す。

【図10】図10は図9の続きの工程を示す断面図であり、(h)は第1および第2記憶ノード形成用層の除去工程まで、(i)はプレート電極の形成工程までを示す。

【図11】図11は第2従来例の半導体記憶装置の製造方法の製造工程を示す断面図であり、(a)はサイドウォール(第2記憶ノード形成用層)の形成工程まで、(b)は第3記憶ノード形成用層の形成工程までを示す。

【図12】図12は図11の続きの工程を示す断面図であり、(c)は第1～第3記憶ノード形成用層の除去工程まで、(d)はプレート電極の形成工程までを示す。

【図13】図13(a)および(b)は、それぞれ第1および第2従来例において上層絶縁膜を形成したときの断面図である。

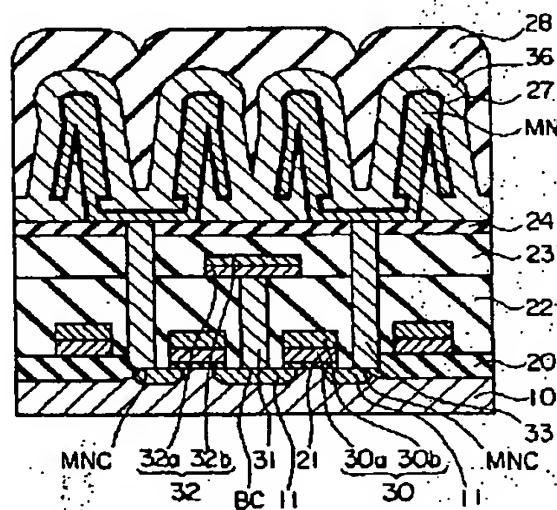
【符号の説明】

1.0…半導体基板、1.1…ソース・ドレイン拡散層、2.0…素子分離絶縁膜、2.1…ゲート絶縁膜、2.2…第1層間絶縁膜、2.3…第2層間絶縁膜、2.4…第3層間絶縁膜(エッチングストップ)、2.5, 2.5a, 2.5b…第1記憶ノード形成用層、2.6, 2.6a, 2.6b…第2

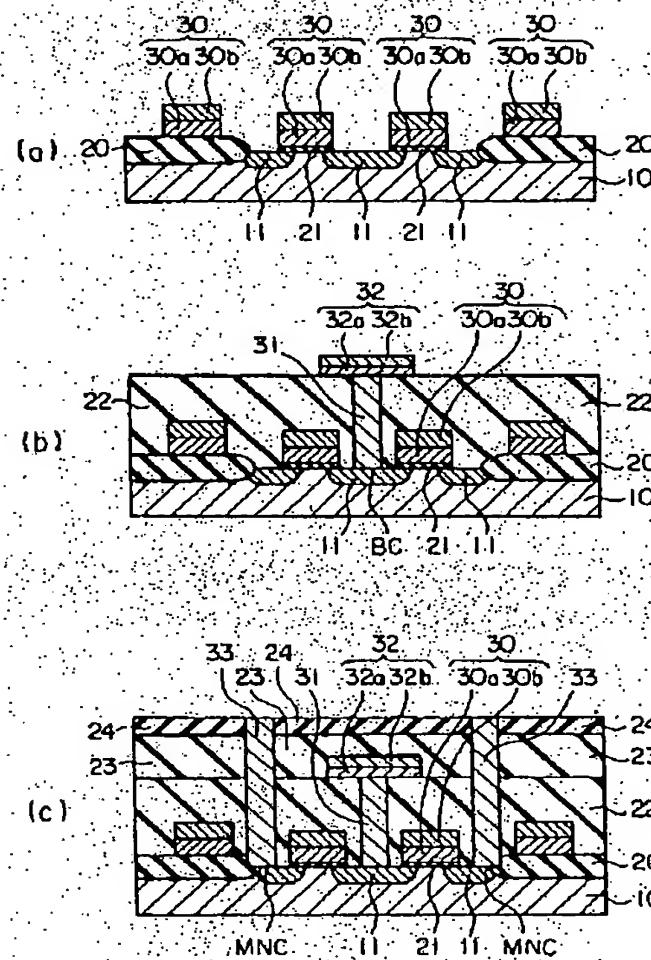
記憶ノード形成用層、26c…サイドウォール、27…キャバシタ絶縁膜、28…上層絶縁膜、29…第3記憶ノード形成用層、30a…ポリシリコン層、30b…タングステンシリサイド、31…ゲート電極、31…ピットコンタクトプラグ、32a…ポリシリコン層、32b…タングステンシリサイド、32…ピット線、33…記憶ノードコンタクトプラグ、34…(第1)記憶ノード

電極用層、34a…(第1)記憶ノード電極、35…第2記憶ノード電極用層、35a…内側第2記憶ノード電極、35b…外側第2記憶ノード電極、36…フレート電極、MN…記憶ノード電極、MNC…記憶ノードコンタクト、BC…ピットコンタクト、H…開口部、H1…第1開口部、H2…第2開口部。

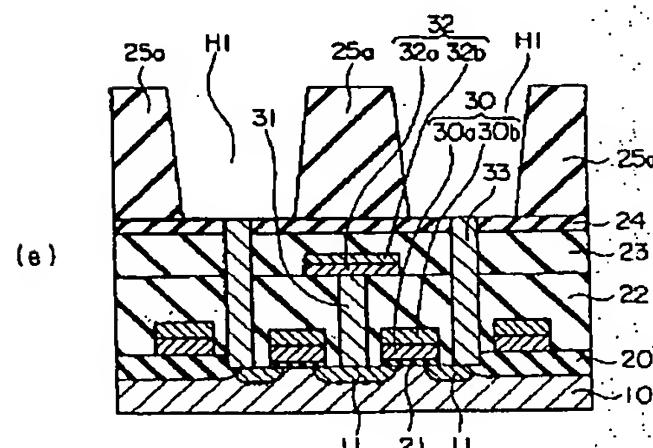
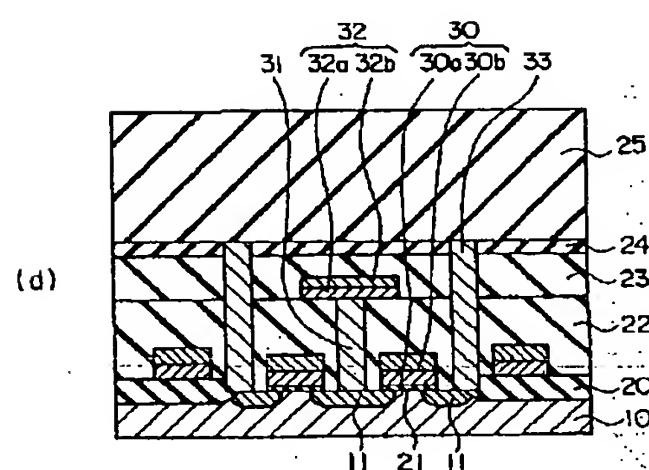
【図1】



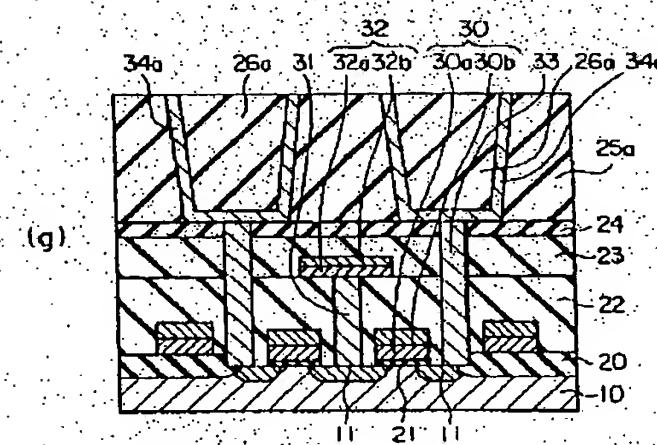
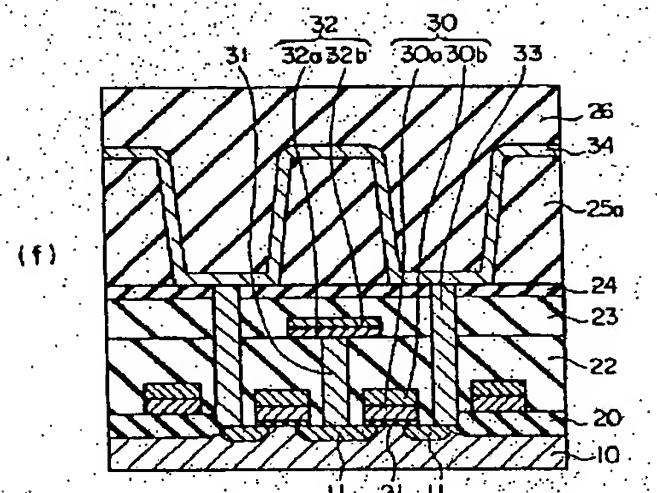
【図2】



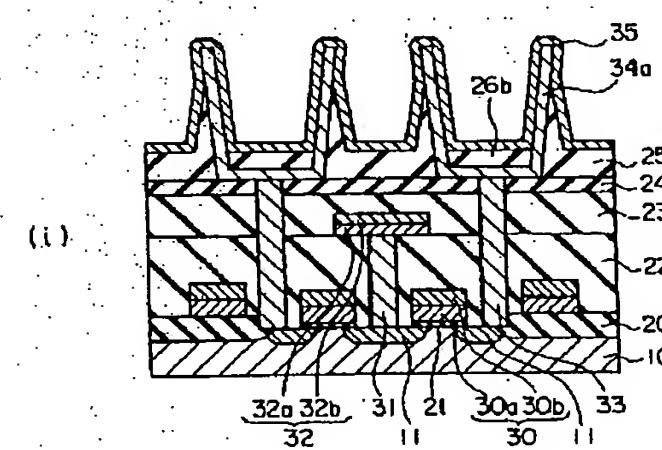
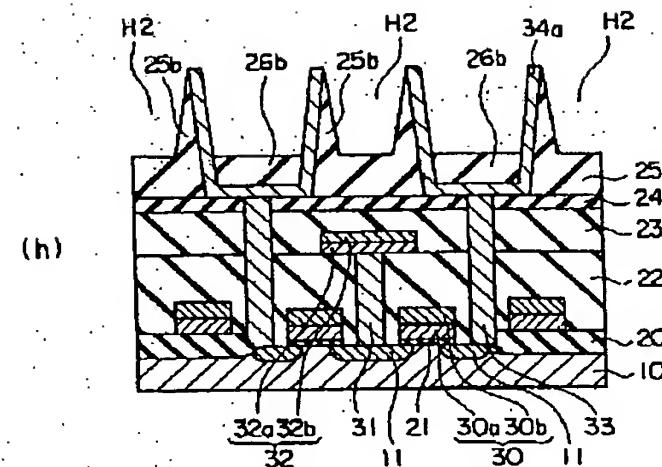
【図3】



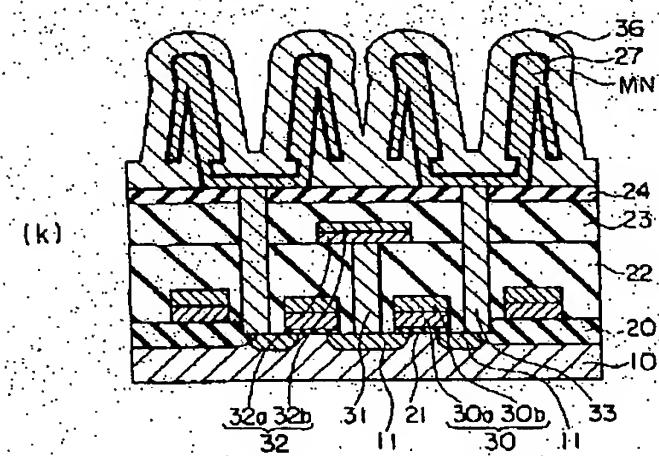
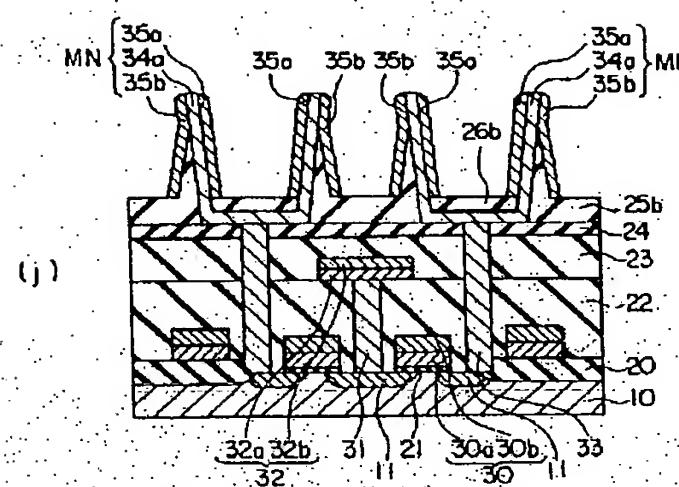
【図4】



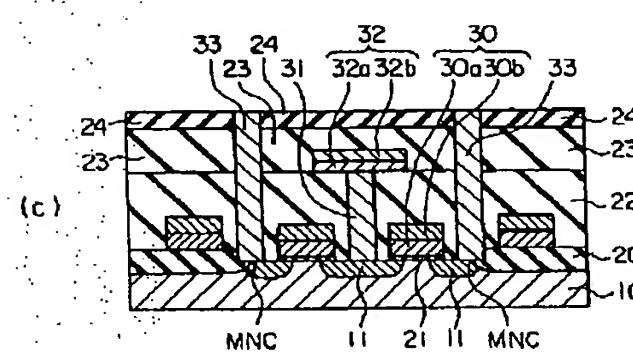
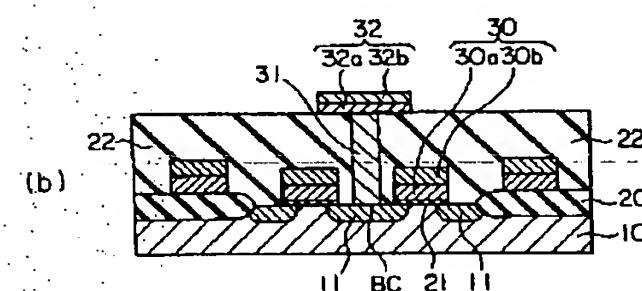
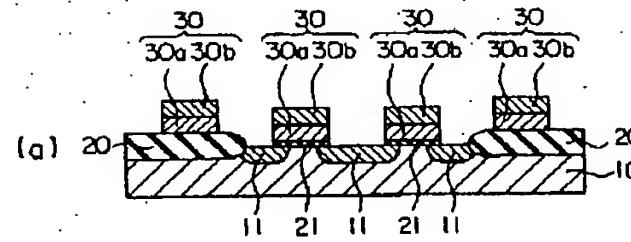
【図5】



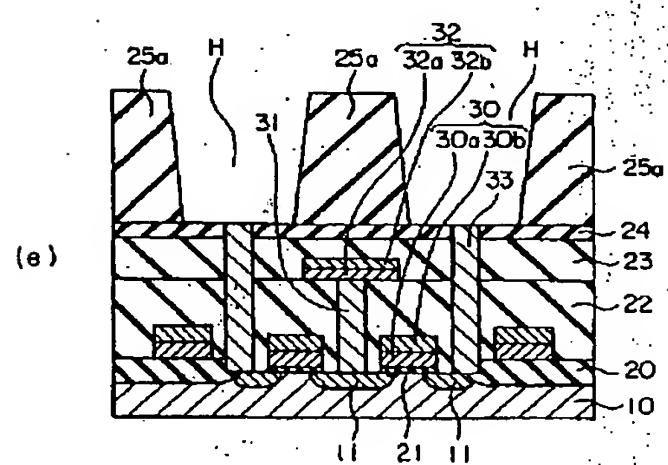
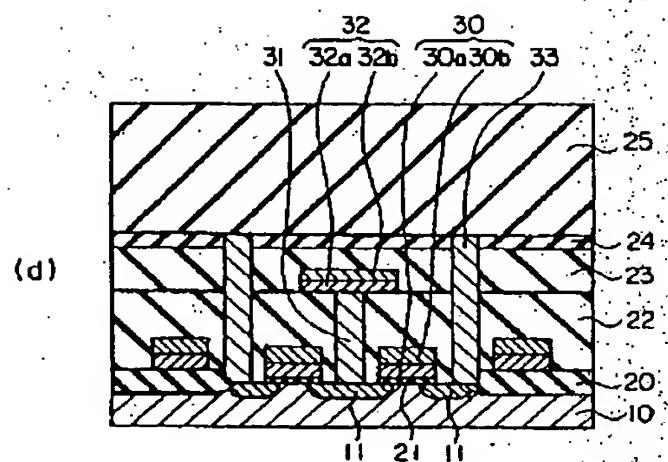
【図6】



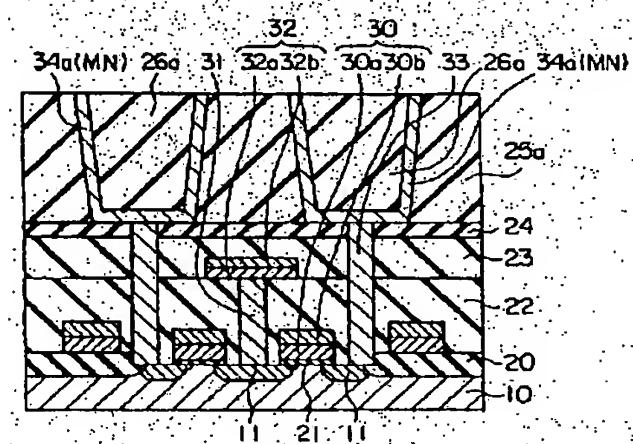
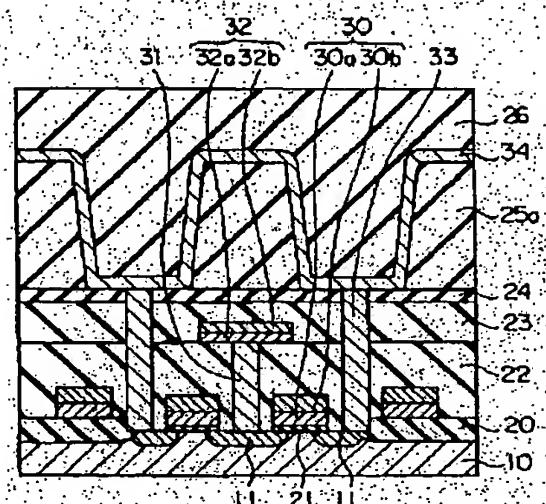
【図7】



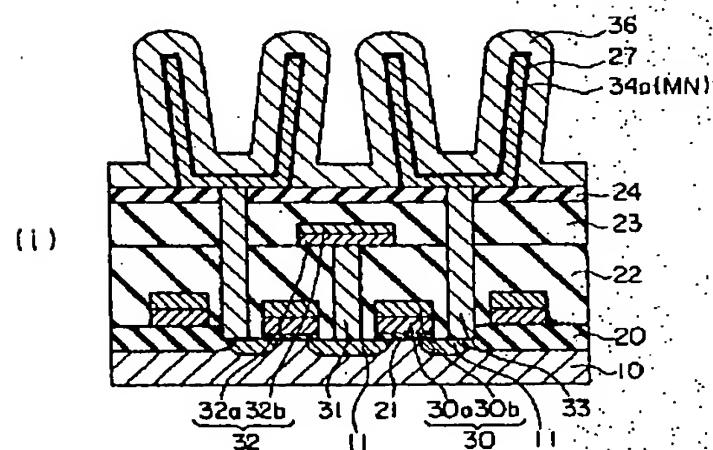
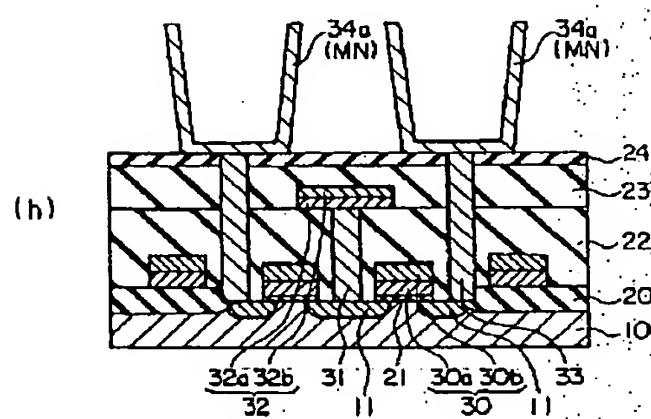
【図8】



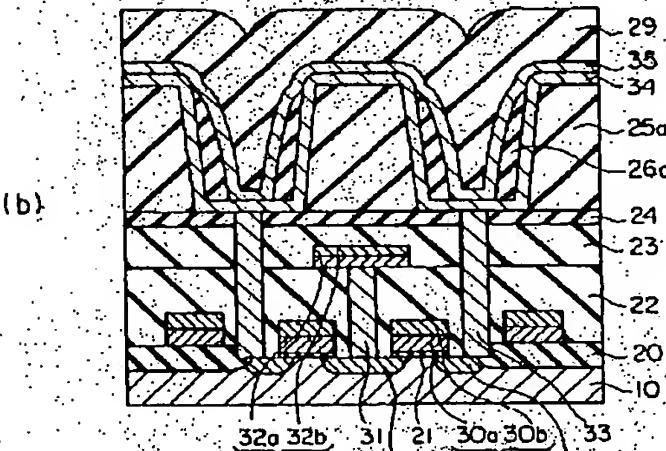
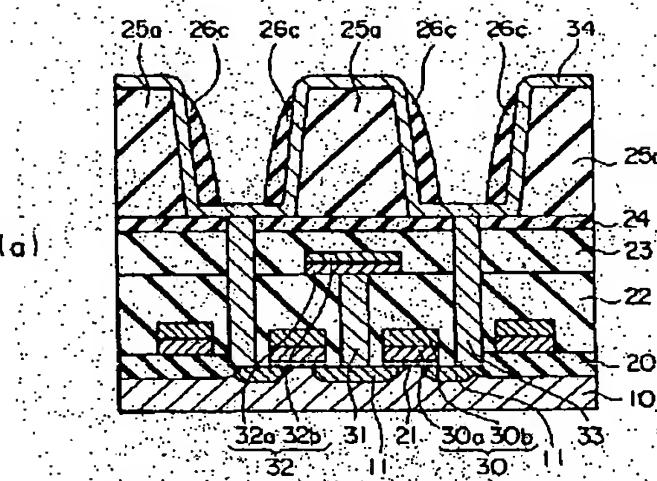
【図9】



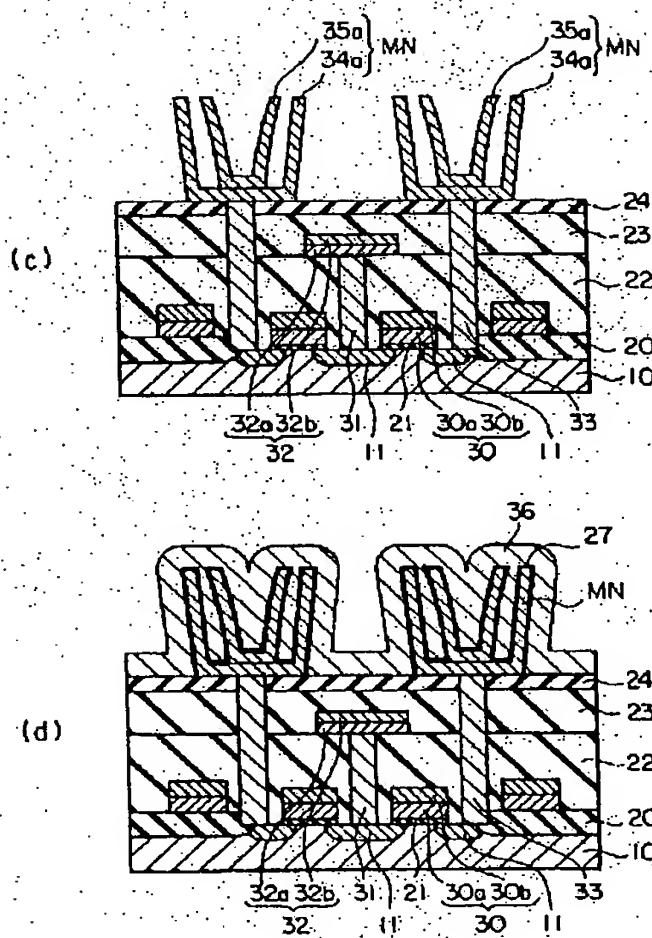
【図10】



【図11】



【図12】



【図13】

